

⑩ 日本国特許庁 (JP)

⑪ 特許出願公開

⑫ 公開特許公報 (A) 昭63-152220

⑬ Int.Cl.

H 03 K 19/00

識別記号

101

府内整理番号

C-8326-5J

⑭ 公開 昭和63年(1988)6月24日

審査請求 未請求 発明の数 1 (全5頁)

⑮ 発明の名称 レベル変換回路

⑯ 特願 昭61-300764

⑰ 出願 昭61(1986)12月16日

⑱ 発明者 中嶋 健 東京都港区芝5丁目33番1号 日本電気株式会社内

⑲ 出願人 日本電気株式会社 東京都港区芝5丁目33番1号

⑳ 代理人 弁理士 内原 晋

明細書

1. 発明の名称

レベル変換回路

2. 特許請求の範囲

第1の電源が供給され、信号を入力して、第1の電源電圧に基づいたレベルの信号を出力する第1のCMOSインバータと、

第1の電源が供給され、第1のCMOSインバータの出力信号を入力する第2のCMOSインバータと、

第2の電源が供給され、第1、第2のCMOSインバータの出力信号を切換信号として、第2の電源電圧に基づいたレベルの出力の論理レベルを切換えるフリップフロップとを有するレベル変換回路。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路の出力レベルの変換回路に関し、特に CMOS LSI 同志を接続する場合にそれぞれの電源系が異なるために生じる入力およ

び出力レベルの相違を同一化するためのレベル変換回路に関する。

(従来の技術)

従来、この種のレベル変換回路は、第3図(a)のように、ゲートが入力端子13に接続され、第1の電源11で駆動されるCMOSインバータ15と、ゲート、ソースがCMOSインバータ15の出力端、アースにそれぞれ接続され、ドレインがオープンドレインとして出力端子14に接続されたMOSトランジスタ16などで成る素子のオープンドレインを第3図(b)のように、ブルアップ抵抗17で第2の電源12に吊って構成されていた。

(発明が解決しようとする問題点)

上述した従来のレベル変換回路は、出力がハイレベル、すなわちMOSトランジスタ6がオフの時は、MOSトランジスタ6には電流が流れないので、MOSトランジスタ6とブルアップ抵抗7による電力消費は発生しないが、出力がローレベル、すなわちMOSトランジスタ6がオンの時は、MOSトランジスタ6とブルアップ抵抗

7とには電流が流れるので、電力を消費するという欠点がある。

(問題点を解決するための手段)

本発明のレベル変換回路は、第1の電源が供給され、信号を入力して、第1の電源電圧に基づいたレベルの信号を出力する第1のCMOSインバータと、第1の電源が供給され、第1のCMOSインバータの出力信号を入力する第2のCMOSインバータと、第2の電源が供給され、第1、第2のCMOSインバータの出力信号を切換信号として、第2の電源電圧に基づいたレベルの出力の論理レベルを切換えるフリップフロップとを有する。

(作用)

したがって、出力の論理レベルの変化は、第2の電源よりブルアップ抵抗に電流が流れるかどうかで設定されるのでなくフリップフロップの出力端が第2の電源に接続されるかどうかで設定されるため、従来のようなブルアップ抵抗に流れる電流による電力消費は発生しないこととなる。

MOSトランジスタ Q_{N2} と、ゲートがN型MOSトランジスタ Q_{N1} のドレインに、ドレインがN型MOSトランジスタ Q_{N2} のドレインに、ソースが電源端子2を介して第2の電源電圧 V_2 を供給されるP型MOSトランジスタ Q_{P2} とで構成されている。MOSトランジスタ $Q_{N1}, Q_{N2}, Q_{P1}, Q_{P2}$ はフリップフロップを構成している。

次に、本実施例の動作について説明する。

入力端子3より入力する入力信号が“H”レベルだとCMOSインバータ6の出力は“L”レベルとなり、これを入力したスイッチング用CMOSインバータ7の出力は第1の電源電圧 V_1 に基づいた“H”レベルとなる。ゲートが“H”レベルとなったN型MOSトランジスタ Q_{N1} はオンし、ゲートが“L”レベルとなったN型MOSトランジスタ Q_{N2} はオフする。N型MOSトランジスタ Q_{N1} のドレインは“L”レベルとなるので、ゲートがこのドレインに接続されたP型MOSトランジスタ Q_{P1} はオンとなる。したがって、非反転出力端子4には第2の電源電圧 V_2 よりP型MOSト

(実施例)

次に、本発明の実施例について図面を参照して説明する。

第1図は本発明のレベル変換回路の一実施例を示す回路図である。

本実施例は、入力端が入力端子3に接続され、電源端子1より供給される第1の電源電圧 V_1 で駆動されるCMOSインバータ6と、入力端がCMOSインバータ6の出力端に接続され、第1の電源電圧 V_1 で駆動されるスイッチング用CMOSインバータ7と、ゲートがスイッチング用CMOSインバータ7の出力端に、ソースがアースにドレインが反転出力端子5にそれぞれ接続されたN型MOSトランジスタ Q_{N1} と、ドレインがN型MOSトランジスタ Q_{N1} のドレインに、ソースが電源端子2を介して第2の電源電圧 V_2 を供給されるP型MOSトランジスタ Q_{P1} と、ゲートがCMOSインバータ6の出力端に、ソースがアースに、ドレインがP型MOSトランジスタ Q_{P1} のゲートと非反転出力端子4とにそれぞれ接続されたN型

トランジスタ Q_{P2} のドレイン・ソース間電圧を差引いた“H”レベルの電圧が出力される。ゲートがこの“H”レベルを入力するP型MOSトランジスタ Q_{P1} はオフとなり、反転出力端子5は“L”レベルとなる。

入力信号が“L”レベルになると、CMOSインバータ6の出力は“H”レベルとなり、これを入力したスイッチング用CMOSインバータ7の出力は“L”レベルとなる。ゲートが“L”レベルとなったN型MOSトランジスタ Q_{N1} はオフし、ゲートが“H”レベルとなったN型MOSトランジスタ Q_{N2} はオンする。N型MOSトランジスタ Q_{N2} のドレインは“L”レベルとなるので、ゲートがこのドレインに接続されたP型MOSトランジスタ Q_{P1} はオフとなる。したがって、反転出力端子5には第2の電源電圧 V_2 よりP型MOSトランジスタ Q_{P1} のドレイン・ソース間電圧を差引いた“H”レベルの電圧が出力される。ゲートがこの“H”レベルを入力するP型MOSトランジスタ Q_{P1} はオフとなり非反転出力端子4は

"L" レベルとなる。

このように、入力信号を入力する CMOS インバータ 6 と、CMOS インバータ 6 の出力を入力するスイッチング用 COMS インバータ 7 との出力をスイッチング信号として、N型 MOS トランジスタ Q_{N1}, Q_{N2} 、P型 MOS トランジスタ Q_{P1}, Q_{P2} で構成されるフリップフロップを駆動することにより第 1 の電源電圧 V_1 に基づく信号を第 2 の電源電圧 V_2 に基づく信号にレベル変換することができる。また、MOS トランジスタ Q_{N1}, Q_{N2} または MOS トランジスタ Q_{N2}, Q_{P2} の組でいずれか 1 つのトランジスタは必ずオフであるので、第 2 の電源からアースに電流は流れない。

第 2 図は第 1 図で示されたレベル変換回路を実際使用した半導体集積回路を示す構成図である。本半導体集積回路は、入力端子が入力端子 23 に、電源供給端子が回路用電源端子 21 にそれぞれ接続された内部回路 8 と、入力端子 3 が内部回路 8 の出力端子に、電源端子 1 が回路用電源端子 21 に、電源端子 2 が出力用電源端子 22 にそれぞれ接続さ

りも充分小さくなければならない。そこで、MOS トランジスタ $Q_{N1}, Q_{N2}, Q_{P1}, Q_{P2}$ のチャンネル長、チャンネル幅、ゲート酸化膜厚は第 1、第 2 の電源電圧 V_1, V_2 に基づいて慎重に設計されている。

(発明の効果)

以上説明したように本発明は、入力信号を第 1 の電源電圧に基づいて駆動する第 1、第 2 の CMOS インバータの出力をスイッチング信号として、そのスイッチング信号で第 2 の電源電圧を供給されているフリップフロップ回路を駆動し、第 2 の電源電圧に基づく出力を出力するので、出力の論理レベルの設定が第 2 の電源よりブルアップ抵抗に電流が流れるかどうかで設定されるのではなく、出力端がフリップフロップを通して第 2 の電源に接続されるかどうかで設定されることにより、出力による電力消費は極めて小さくなる効果がある。

4. 図面の簡単な説明

第 1 図は本発明のレベル変換回路の一実施例を

れたレベル変換回路と、入力端がレベル変換回路の反転出力端子 5 に、出力端が出力端子 25 にそれぞれ接続され、出力用電源端子 22 からの電源で駆動される CMOS インバータ 9 とで構成されている。動作については、第 1 図の説明で十分であるので、特に必要な点のみにとどめる。

本半導体集積回路において、CMOS インバータ 9 は出力バッファとして働いている。回路用電源端子 21、出力用電源端子 22 にはそれぞれ第 1、第 2 の電源電圧 V_1, V_2 が印加されている。

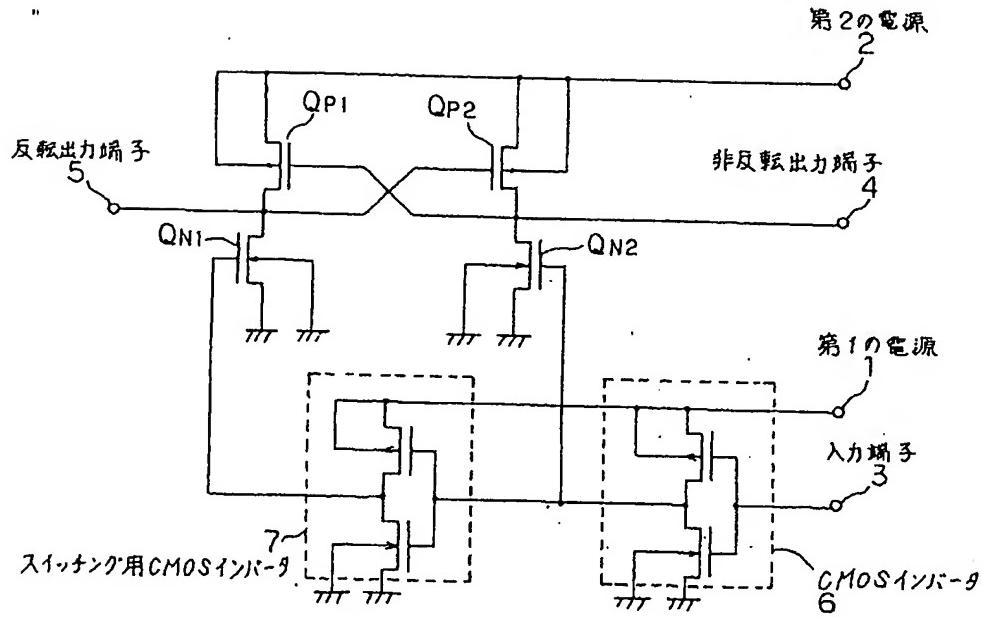
本半導体集積回路は消費電流を少くするため CMOS 構造としている。また、製造プロセスを簡単化するために、レベル変換回路、内部回路 8、CMOS インバータ 9 を構成している P 型、N 型 MOS トランジスタはそれぞれ同じしきい値をとるよう設計されている。さらに、MOS トランジスタ $Q_{N1}, Q_{N2}, Q_{P1}, Q_{P2}$ によって構成されているフリップフロップが正しくレベル変換を行うためには N 型 MOS トランジスタ Q_{N1}, Q_{N2} のオン抵抗が P 型 MOS トランジスタ Q_{P1}, Q_{P2} のオン抵抗よ

示す回路図、第 2 図は第 1 図で示されたレベル変換回路を実際用いた半導体集積回路を示す構成図、第 3 図(a), (b) は従来のレベル変換回路用素子、およびレベル変換回路である。

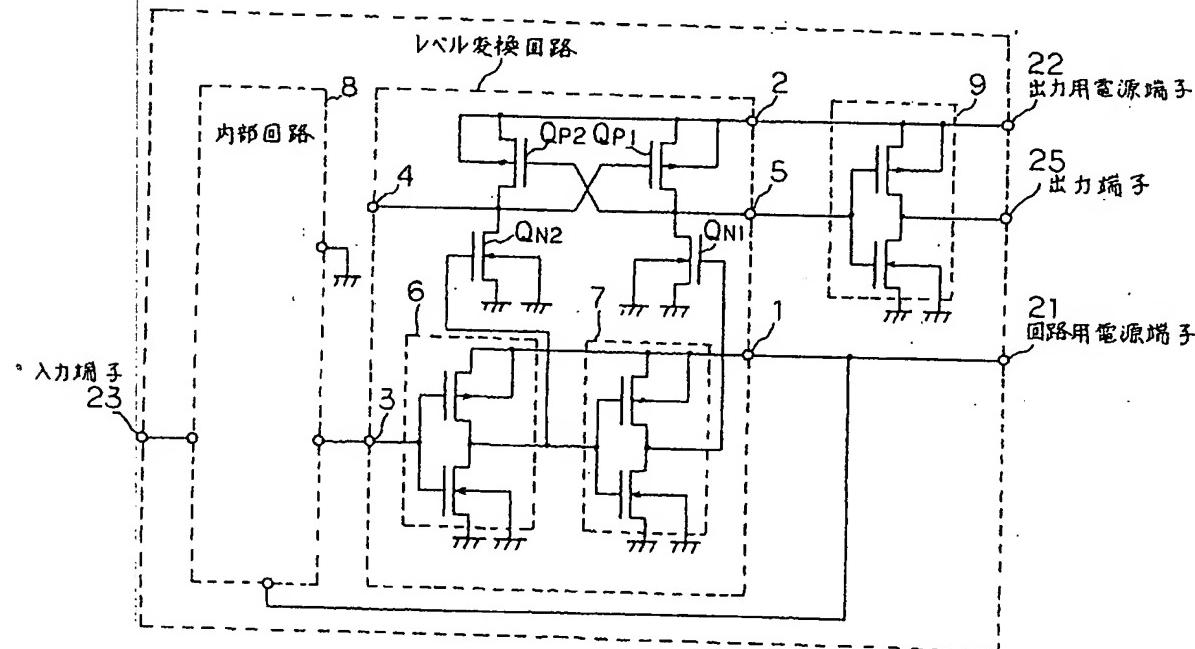
- 1, 2 … 電源端子、
- 3 … 入力端子、
- 4 … 非反転出力端子、
- 5 … 反転出力端子、
- 6 … CMOS インバータ、
- 7 … スイッチング用 COMS インバータ、
- 8 … 内部回路、
- 9 … CMOS インバータ、
- 21 … 回路用電源端子、
- 22 … 出力用電源端子、
- 23 … 入力端子、
- V_1 … 第 1 の電源電圧、
- V_2 … 第 2 の電源電圧。

特許出願人 日本電気株式会社
代理人 弁理士 内原晋

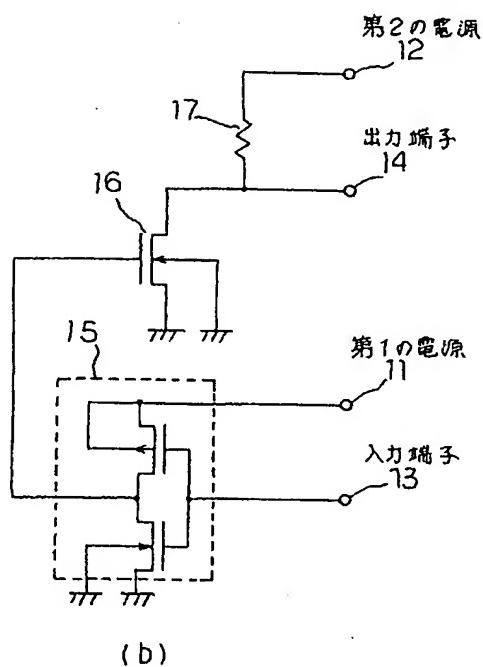
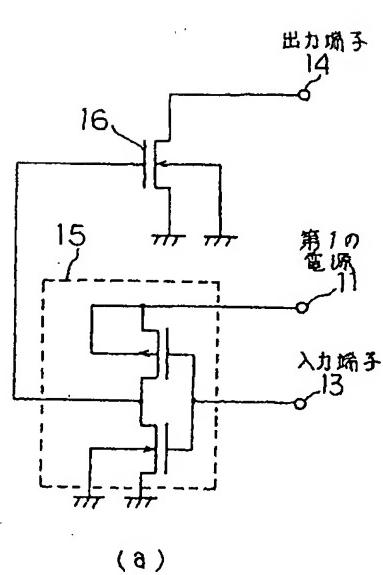




第1圖



第2圖



第3図